

(3) Japanese Patent Application Laid-Open No. 2002-93921 (2002)

“Method of Manufacturing Semiconductor Device”

The following is the extract relevant to the present invention:

5

It is an object of this invention to increase a drive current of a CMOS device, thereby to increase an operation speed of a semiconductor device including the CMOS device.

Ion implantation and thermal treatment are carried out to convert an
10 amorphous silicon film and a polycrystalline silicon film into a p-type polycrystalline silicon film 8a and an n-type polycrystalline silicon film 10a, respectively. Thereafter, a gate electrode 11p of a p-channel MISFET Qp which is formed of the p-type polycrystalline silicon film 8a, and a gate electrode 11n of an n-channel MISFET Qn which is formed of the n-type polycrystalline silicon film 10a,
15 are formed. In this manner, a tensile stress is imparted to a surface of a channel of the n-channel MISFET Qn, while a compressive stress is imparted to a surface of a channel of the p-channel MISFET Qp.

20

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号
特開2002-93921
(P 2 0 0 2 - 9 3 9 2 1 A)
(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl. ⁷	識別記号	F I	テマコード ⁷ (参考)
H01L 21/8238		H01L 21/28	B 4M104
27/092			301 A 5F048
21/28			301 R
	301	21/285	S
			C
審査請求 未請求 請求項の数5 O L (全10頁) 最終頁に続く			

(21)出願番号 特願2000-274533(P 2000-274533)

(22)出願日 平成12年9月11日(2000.9.11)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 官本 正文

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

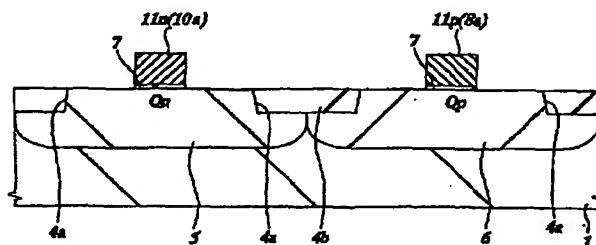
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 CMOSデバイスの駆動電流を増加させて、半導体装置の高速化を実現する。

【解決手段】 不純物導入と熱処理とを施して、アモルファスシリコン膜をp型多結晶シリコン膜8aに変え、多結晶シリコン膜をn型多結晶シリコン膜10aに変えた後、p型多結晶シリコン膜8aで構成されるpチャネル型MISFETQpのゲート電極11pを形成し、n型多結晶シリコン膜10aで構成されるnチャネル型MISFETQnのゲート電極11nを形成することにより、nチャネル型MISFETのチャネル表面に引っ張り応力を生じさせ、pチャネル型MISFETのチャネル表面に圧縮応力を生じさせる。

図 7



【特許請求の範囲】

【請求項1】 チャネル領域に引っ張り応力を生じさせるシリコン膜、金属膜、またはシリコン膜と金属膜との積層膜によってnチャネル型MISFETのゲート電極を形成し、チャネル領域に圧縮応力を生じさせるシリコン膜、金属膜、またはシリコン膜と金属膜との積層膜によってpチャネル型MISFETのゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項2】 チャネル領域に引っ張り応力を生じさせるシリコン膜、金属膜、またはシリコン膜と金属膜との積層膜によってゲート電極が構成されたnチャネル型MISFETと、チャネル領域に圧縮応力を生じさせるシリコン膜、金属膜、またはシリコン膜と金属膜との積層膜によってゲート電極が構成されたpチャネル型MISFETとでCMOSデバイスを形成することを特徴とする半導体装置の製造方法。

【請求項3】 CMOSデバイスを形成する半導体装置の製造方法であって、(a)基板の表面にゲート絶縁膜を形成した後、前記基板上にアモルファスシリコン膜を堆積する工程と、(b)nチャネル型MISFETの形成領域の前記アモルファスシリコン膜を除去する工程と、(c)前記基板上に第1の多結晶シリコン膜を堆積する工程と、(d)pチャネル型MISFETの形成領域の前記第1の多結晶シリコン膜を除去する工程と、

(e)前記基板に熱処理を施して、前記アモルファスシリコン膜を第2の多結晶シリコン膜に変える工程と、

(f)レジストパターンをマスクとして、前記第1の多結晶シリコン膜および前記第2の多結晶シリコン膜を加工して、前記第1の多結晶シリコン膜で構成されるpチャネル型MISFETのゲート電極を形成し、前記第2の多結晶シリコン膜で構成されるnチャネル型MISFETのゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 CMOSデバイスを形成する半導体装置の製造方法であって、(a)基板の表面にゲート絶縁膜を形成した後、前記基板上に第1の金属膜を堆積する工程と、(b)nチャネル型MISFETの形成領域の前記第1の金属膜を除去する工程と、(c)前記基板上に第2の金属膜を堆積する工程と、(d)pチャネル型MISFETの形成領域の前記第2の金属膜を除去する工程と、(e)レジストパターンをマスクとして、前記第1の金属膜および前記第2の金属膜を加工して、前記第1の金属膜で構成されるpチャネル型MISFETのゲート電極を形成し、前記第2の金属膜で構成されるnチャネル型MISFETのゲート電極を形成する工程とを有しており、

前記第1の金属膜は、スパッタリング法で約300℃以上の高い温度で成膜されるか、またはCVD法で約600℃以上の高い温度で成膜され、前記第2の金属膜は、スパッタリング法で約300℃未満の低い温度で成膜さ

れるか、またはCVD法で約600℃未満の低い温度で成膜されることを特徴とする半導体装置の製造方法。

【請求項5】 CMOSデバイスを形成する半導体装置の製造方法であって、(a)基板の表面にゲート絶縁膜を形成した後、前記基板上に多結晶シリコン膜および第1の金属膜を順次堆積する工程と、(b)nチャネル型MISFETの形成領域の前記第1の金属膜を除去する工程と、(c)前記基板上に第2の金属膜を堆積する工程と、(d)pチャネル型MISFETの形成領域の前記第2の金属膜を除去する工程と、(e)レジストパターンをマスクとして、前記第1の金属膜と前記多結晶シリコン膜とからなる積層膜および前記第2の金属膜と前記多結晶シリコン膜とからなる積層膜を加工して、前記第1の金属膜と前記多結晶シリコン膜とからなる積層膜で構成されるpチャネル型MISFETのゲート電極を形成し、前記第2の金属膜と前記多結晶シリコン膜とからなる積層膜で構成されるnチャネル型MISFETのゲート電極を形成する工程とを有しており、

前記第1の金属膜は、スパッタリング法で約300℃以上の高い温度で成膜されるか、またはCVD法で約600℃以上の高い温度で成膜され、前記第2の金属膜は、スパッタリング法で約300℃未満の低い温度で成膜されるか、またはCVD法で約600℃未満の低い温度で成膜されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、CMOS (Complementary Metal Oxide Semiconductor) デバイスを有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】以下は、本発明者によって検討されたCMOSデバイスの製造技術であり、その概要は次のとおりである。

【0003】まず、素子分離領域が設けられた基板のnチャネル型MISFETの形成領域にp型ウェルを形成し、pチャネル型MISFETの形成領域にn型ウェルを形成する。次いで、p型ウェルおよびn型ウェルのそれぞれの表面にゲート絶縁膜を形成する。

【0004】次に、アモルファスシリコン膜を基板上に堆積し、続いてnチャネル型MISFETの形成領域のアモルファスシリコン膜にn型不純物を導入し、pチャネル型MISFETの形成領域のアモルファスシリコン膜にp型不純物を導入した後、基板に熱処理を施して、アモルファスシリコン膜に導入したn型不純物およびp型不純物を活性化させて、nチャネル型MISFETの形成領域にn型多結晶シリコン膜を形成し、pチャネル型MISFETの形成領域にp型多結晶シリコン膜を形成する。

【0005】続いて、レジストパターンをマスクとした

エッチングで、上記n型多結晶シリコン膜および上記p型多結晶シリコン膜を加工することにより、n型多結晶シリコン膜でnチャネル型MISFETのゲート電極を構成し、p型多結晶シリコン膜でpチャネル型MISFETのゲート電極を構成する。

【0006】次に、nチャネル型MISFETのソース、ドレインを構成するn型半導体領域およびpチャネル型MISFETのソース、ドレインを構成するp型半導体領域を形成する。

【0007】その後、nチャネル型MISFETおよびpチャネル型MISFETを絶縁膜で覆い、この絶縁膜にnチャネル型MISFETおよびpチャネル型MISFETのそれぞれのゲート電極、ソース、ドレインに達する接続孔を形成し、さらに配線層を形成することでCMOSデバイスが形成される。

【0008】

【発明が解決しようとする課題】ところで、nチャネル型MISFETのゲート電極を構成するn型多結晶シリコン膜およびpチャネル型MISFETのゲート電極を構成するp型多結晶シリコン膜を形成する際、アモルファスシリコン膜から多結晶シリコン膜へ変わる熱処理において体積が減少し、nチャネル型MISFETのチャネル領域およびpチャネル型MISFETのチャネル領域にそれぞれ圧縮応力が発生することが、本発明者によって明らかとなった。

【0009】さらに、チャネル領域に圧縮応力が発生したpチャネル型MISFETの駆動電流は増加するが、チャネル領域に圧縮応力が発生したnチャネル型MISFETの駆動電流が減少するという問題が生じ、むしろnチャネル型MISFETでは、引っ張り応力がチャネル領域に発生した場合に、駆動電流が増加することが本発明者によって明らかとなった。

【0010】本発明の目的は、CMOSデバイスの駆動電流の増加によって、半導体装置の高速化を実現することのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体装置の製造方法は、基板の表面にゲート絶縁膜を形成した後、基板上にアモルファスシリコン膜を堆積する工程と、nチャネル型MISFETの形成領域のアモルファスシリコン膜を除去する工程と、基板上に第1の多結晶シリコン膜を堆積する工程と、pチャネル型MISFETの形成領域の第1の多結晶シリコン膜を除去する工程と、基板に熱処理を施して、アモルファスシリコン膜を第2の多結晶シリコン膜に変える

工程と、レジストパターンをマスクとして、第1の多結晶シリコン膜および第2の多結晶シリコン膜を加工して、第1の多結晶シリコン膜で構成されるpチャネル型MISFETのゲート電極を形成し、第2の多結晶シリコン膜で構成されるnチャネル型MISFETのゲート電極を形成する工程とを有するものである。

(2) 本発明の半導体装置の製造方法は、基板の表面にゲート絶縁膜を形成した後、基板上に第1の金属膜を堆積する工程と、nチャネル型MISFETの形成領域の第1の金属膜を除去する工程と、基板上に第2の金属膜を堆積する工程と、pチャネル型MISFETの形成領域の第2の金属膜を除去する工程と、レジストパターンをマスクとして、第1の金属膜および第2の金属膜を加工して、第1の金属膜で構成されるpチャネル型MISFETのゲート電極を形成し、第2の金属膜で構成されるnチャネル型MISFETのゲート電極を形成する工程とを有しており、上記第1の金属膜は、スパッタリング法で約300℃以上の高い温度で成膜されるか、またはCVD法で約600℃以上の高い温度で成膜され、上記第2の金属膜は、スパッタリング法で約300℃未満の低い温度で成膜されるか、またはCVD法で約600℃未満の低い温度で成膜されるものである。

【0013】上記した手段(1)によれば、nチャネル型MISFETのゲート電極は、基板上に堆積された第2の多結晶シリコン膜で構成されるので、後の工程で基板に熱処理が施されても体積はほとんど変化しない。従って、チャネル領域には圧縮応力が生じ難くなるので、nチャネル型MISFETの駆動電流の減少を防ぐことができる。一方、pチャネル型MISFETのゲート電極は、基板上に堆積されたアモルファスシリコン膜を結晶化した多結晶シリコン膜で構成される。従って、アモルファスシリコン膜から多結晶シリコン膜へ変わる熱処理において体積が減少し、チャネル領域に圧縮応力が生じて、pチャネル型MISFETの駆動電流が増加する。

【0014】上記した手段(2)によれば、nチャネル型MISFETのゲート電極は、チャネル領域に引っ張り応力を発生させる第2の金属膜で構成されて、駆動電流が増加し、pチャネル型MISFETのゲート電極は、チャネル領域に圧縮応力を発生させる第1の金属膜で構成されて、駆動電流が増加する。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0016】(実施の形態1) 本発明の一実施の形態であるCMOSデバイスの製造方法を図1～図13に示す半導体基板の要部断面図を用いて工程順に説明する。図中、Qnはnチャネル型MISFET、Qpはpチャネ

ル型MISFETである。

【0017】まず、図1に示すように、たとえばp型の単結晶シリコンからなる基板1を用意する。次に、この基板1を熱酸化してその表面に膜厚 $0.01\mu\text{m}$ 程度の薄い酸化シリコン膜2を形成し、次いでその上層にCVD (Chemical Vapor Deposition) 法で膜厚 $0.1\mu\text{m}$ 程度の窒化シリコン膜3を堆積した後、レジストパターンをマスクとして窒化シリコン膜3、酸化シリコン膜2および基板1を順次ドライエッチングすることにより、素子分離領域の基板1に深さ $0.35\mu\text{m}$ 程度の素子分離溝4aを形成する。

【0018】次に、熱リン酸を用いたウェットエッチングで窒化シリコン膜3を除去した後、図2に示すように、基板1上にCVD法で堆積した酸化シリコン膜4bをエッチバック、またはCMP (Chemical Mechanical Polishing) 法で研磨して、素子分離溝4aの内部に酸化シリコン膜4bを残すことにより素子分離領域を形成する。続いて、基板1を約 1000°C でアニールすることにより、素子分離溝4aに埋め込んだ酸化シリコン膜4bをデンシファイ (焼き締め) する。

【0019】次いで、基板1のnチャネル型MISFETQnの形成領域にp型ウェル5を形成するためのボロン(B)をイオン注入し、pチャネル型MISFETQpの形成領域にn型ウェル6を形成するためのリン(P)をイオン注入する。

【0020】この後、基板1を熱酸化して、p型ウェル5およびn型ウェル6のそれぞれの表面にゲート絶縁膜7を 4nm 程度の厚さで形成した後、 $0.2\mu\text{m}$ 程度の厚さのアモルファスシリコン膜8をCVD法で基板1上に堆積する。上記アモルファスシリコン膜8は約 600°C 未満の低い温度、たとえば 550°C 程度の温度で成膜される。

【0021】次に、図3に示すように、pチャネル型MISFETQpの形成領域のアモルファスシリコン膜8をレジスト膜9で覆い、このレジスト膜9をマスクとして、nチャネル型MISFETQnの形成領域のアモルファスシリコン膜8を除去する。この後、レジスト膜9を除去し、次いでnチャネル型MISFETQnのゲート絶縁膜7の膜質劣化を改善するために、nチャネル型MISFETQnのゲート絶縁膜7を再形成する。

【0022】次に、図4に示すように、 $0.2\mu\text{m}$ 程度の厚さの多結晶シリコン膜10をCVD法で基板1上に堆積した後、多結晶シリコン膜10をCMP法で研磨して、図5に示すように、nチャネル型MISFETQnの形成領域のゲート絶縁膜7上に多結晶シリコン膜10を残す。上記多結晶シリコン膜10は約 600°C 以上の高い温度、たとえば 650°C 程度の温度で成膜される。

【0023】次いで、nチャネル型MISFETQnの形成領域の多結晶シリコン膜10にn型不純物、たとえばPをイオン注入し、pチャネル型MISFETQpの

形成領域のアモルファスシリコン膜8にp型不純物、たとえばBをイオン注入する。

【0024】次に、図6に示すように、基板1に、たとえば 950°C 、60秒程度の熱処理を施して、多結晶シリコン膜10を導入したn型不純物およびアモルファスシリコン膜8を導入したp型不純物を活性化させ、さらにnチャネル型MISFETQnの形成領域の多結晶シリコン膜10をn型多結晶シリコン膜10aに、pチャネル型MISFETQpの形成領域のアモルファスシリコン膜8をp型多結晶シリコン膜8aに変える。

【0025】次に、図7に示すように、レジストパターンをマスクとしてn型多結晶シリコン膜10aをエッチングし、nチャネル型MISFETQnの形成領域にn型多結晶シリコン膜10aで構成されるゲート長 $0.3\mu\text{m}$ 以下のゲート電極11nを形成する。同時に、レジストパターンをマスクとしてp型多結晶シリコン膜8aをエッチングし、pチャネル型MISFETQpの形成領域にp型多結晶シリコン膜8aで構成されるゲート長 $0.3\mu\text{m}$ 以下のゲート電極11pを形成する。この後、基板1に、たとえば 800°C 程度のドライ酸化処理を施す。

【0026】次に、図8に示すように、pチャネル型MISFETQpの形成領域をレジスト膜 (図示せず) で覆った後、nチャネル型MISFETQnのゲート電極11nをマスクとしてp型ウェル5にn型不純物、たとえばヒ素(As)をイオン注入し、nチャネル型MISFETQnのソース、ドレイン拡張領域12aを形成する。同様に、nチャネル型MISFETQnの形成領域をレジスト膜 (図示せず) で覆った後、pチャネル型MISFETQpのゲート電極11pをマスクとしてn型ウェル6にp型不純物、たとえばフッ化ボロン(BF₃)をイオン注入し、pチャネル型MISFETQpのソース、ドレイン拡張領域13aを形成する。

【0027】次に、図9に示すように、基板1上にCVD法で堆積した酸化シリコン膜をRIE (Reactive Ion Etching) 法で異方性エッチングして、nチャネル型MISFETQnのゲート電極11nおよびpチャネル型MISFETQpのゲート電極11pのそれぞれの側壁にサイドウォールスペーサ14を形成する。

【0028】次いで、図10に示すように、pチャネル型MISFETQpの形成領域をレジスト膜 (図示せず) で覆った後、nチャネル型MISFETQnのゲート電極11nおよびサイドウォールスペーサ14をマスクとしてp型ウェル5にn型不純物、たとえばAsをイオン注入し、nチャネル型MISFETQnのソース、ドレイン拡張領域12bを形成する。同様に、nチャネル型MISFETQnをレジスト膜 (図示せず) で覆った後、pチャネル型MISFETQpのゲート電極11pおよびサイドウォールスペーサ14をマスクとしてn型ウェル6にp型不純物、たとえばBF₃をイオン注入

し、pチャネル型MISFETQpのソース、ドレイン拡散領域13bを形成する。

【0029】この後、基板1に、たとえば1000℃、5秒程度の熱処理を施して、基板1に注入したn型不純物およびp型不純物を活性化させる。

【0030】次に、図11に示すように、フッ酸(HF)液で基板1を洗浄した後、厚さ10~20nm程度のコバルト(Co)膜を、たとえばスパッタリング法で基板1上に堆積する。次いで、500~600℃程度の熱処理を基板1に施してnチャネル型MISFETQnのゲート電極11nの表面およびソース、ドレイン拡散領域12bの表面と、pチャネル型MISFETQpのゲート電極11pの表面およびソース、ドレイン拡散領域13bの表面とに選択的に厚さ30nm程度のシリサイド層15を形成する。この後、未反応のCo膜を除去し、次いでシリサイド層15の低抵抗化のため700~800℃程度の熱処理を基板1に施す。

【0031】次に、図12に示すように、基板1上に層間絶縁膜16を形成した後、レジストパターンをマスクとして層間絶縁膜16をエッチングし、nチャネル型MISFETQnのソース、ドレイン拡散領域12bの表面に設けられたシリサイド層15に達するコンタクトホール17n、およびpチャネル型MISFETQpのソース、ドレイン拡散領域13bの表面に設けられたシリサイド層15に達するコンタクトホール17pを形成する。なお、図示はしないが、同時にnチャネル型MISFETQnのゲート電極11nの表面に設けられたシリサイド層15、およびpチャネル型MISFETQpのゲート電極11pの表面に設けられたシリサイド層15に達するコンタクトホールが形成される。

【0032】次いで、図13に示すように、層間絶縁膜16の上層に金属膜、たとえばタングステン(W)膜を堆積し、たとえばCMP法でこの金属膜の表面を平坦化することによって、上記コンタクトホール17n、17pの内部に金属膜を埋め込みプラグ18を形成する。その後、層間絶縁膜16の上層に堆積した金属膜をエッチングして配線層19を形成することにより、CMOSデバイスが略完成する。

【0033】なお、本実施の形態1では、nチャネル型MISFETQnのゲート電極11nをn型多結晶シリコン膜10aで構成し、pチャネル型MISFETQpのゲート電極11pをp型多結晶シリコン膜8aで構成したが、nチャネル型MISFETQnのゲート電極11nをチャネル領域に引っ張り応力を発生させる金属膜で構成し、pチャネル型MISFETQpのゲート電極11pをチャネル領域に圧縮応力を発生させる金属膜で構成してもよい。

【0034】たとえばスパッタリング法で形成される金属膜(たとえばTiN、W)の場合、同一材料でも約300℃未満の低い温度で成膜された膜は引っ張り応力を

生じ、約300℃以上の高い温度で成膜された膜は圧縮応力を生ずるので、nチャネル型MISFETQnのゲート電極11nを、たとえば250℃程度で成膜した金属膜で構成し、pチャネル型MISFETQpのゲート電極11pを、たとえば350℃程度で成膜した金属膜で構成してもよい。

【0035】また、CVD法で形成される金属膜(たとえばTiN、W)の場合、同一材料でも約600℃未満の低い温度で成膜された膜は引っ張り応力を生じ、約600℃以上の高い温度で成膜された膜は圧縮応力を生ずるので、nチャネル型MISFETQnのゲート電極11nを、たとえば550℃程度で成膜した金属膜で構成し、pチャネル型MISFETQpのゲート電極11pを、たとえば650℃程度で成膜した金属膜で構成してもよい。

【0036】なお、nチャネル型MISFETQnのゲート電極11nとpチャネル型MISFETQpのゲート電極11pとを同一の金属材料で構成せず、引っ張り応力を生ずる金属材料と、圧縮応力を生ずる他の金属材料とで構成してもよい。

【0037】このように、本実施の形態1によれば、nチャネル型MISFETのゲート電極11nは、基板1上に堆積した多結晶シリコン膜10にn型不純物が導入されたn型多結晶シリコン膜10aで構成されるので、熱処理が基板1に施されても体積はほとんど変化しない。これにより、チャネル領域には圧縮応力が生じ難くなるので、nチャネル型MISFETQnの駆動電流の減少を防ぐことができる。

【0038】一方、pチャネル型MISFETQpのゲート電極11pは、基板1上に堆積したアモルファスシリコン膜8を結晶化させ、さらにp型不純物を導入したp型多結晶シリコン膜8aで構成される。従って、アモルファスシリコン膜8から多結晶シリコン膜へ変わる結晶化処理において体積が減少し、チャネル領域に圧縮応力を生ずることから、pチャネル型MISFETQpの駆動電流が増加する。

【0039】(実施の形態2) 本発明の他の実施の形態であるCMOSデバイスの製造方法を図14~図19に示す半導体基板の要部断面図を用いて工程順に説明する。

【0040】まず、前記実施の形態1において説明した製造方法と同様に、基板1の主面上に素子分離領域(4a、4b)、p型ウェル5、n型ウェル6、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート絶縁膜7を順次形成する。

【0041】次に、図14に示すように、基板1上に、たとえばn型不純物が添加された多結晶シリコン膜20をCVD法で堆積し、続いて第1の金属膜21、たとえばTiまたはWを成膜する。この第1の金属膜21は、たとえば約300℃以上の高い温度(たとえば、350

℃程度)を用いたスパッタリング法、または約600℃以上の高い温度(たとえば、650℃程度)を用いたCVD法で成膜されて、チャネル領域に圧縮応力を発生させる。

【0042】次に、図15に示すように、pチャネル型MISFETQpの形成領域の第1の金属膜21をレジスト膜(図示せず)で覆い、このレジスト膜をマスクとして、nチャネル型MISFETQnの形成領域の第1の金属膜21を除去する。この後、レジスト膜を除去し、次いで基板1上に第2の金属膜22、たとえばTiまたはWを成膜する。この第2の金属膜22は、たとえば約300℃未満の低い温度(たとえば、250℃程度)を用いたスパッタリング法、または約600℃未満の低い温度(たとえば、550℃程度)を用いたCVD法で成膜されて、チャネル領域に引っ張り応力を発生させる。なお、第1の金属膜21と第2の金属膜22とは、同じ金属材料で構成してもよく、または異なる金属材料で構成してもよい。

【0043】次に、第2の金属膜22をCMP法で研磨することによって、図16に示すように、nチャネル型MISFETQnの形成領域のゲート絶縁膜7上には、多結晶シリコン膜20およびチャネル領域に引っ張り応力を発生させる第2の金属膜22が下層から順に積層され、pチャネル型MISFETQpの形成領域のゲート絶縁膜7上には、多結晶シリコン膜20およびチャネル領域に圧縮応力を発生させる第1の金属膜21が下層から順に積層される。

【0044】次に、図17に示すように、レジストパターンをマスクとして第2の金属膜22および多結晶シリコン膜20を順次エッチングし、nチャネル型MISFETQnの形成領域に第2の金属膜22および多結晶シリコン膜20で構成されるゲート電極23nを形成する。同時に、レジストパターンをマスクとして第1の金属膜21および多結晶シリコン膜20を順次エッチングし、pチャネル型MISFETQpの形成領域に第1の金属膜21および多結晶シリコン膜20で構成されるゲート電極23pを形成する。

【0045】次に、図18に示すように、nチャネル型MISFETQnのゲート電極23nをマスクとしてp型ウェル5にn型不純物、たとえばAsをイオン注入し、nチャネル型MISFETQnのソース、ドレイン拡張領域12aを形成する。同様に、pチャネル型MISFETQpのゲート電極23pをマスクとしてn型ウェル6にp型不純物、たとえばBF₃をイオン注入し、pチャネル型MISFETQpのソース、ドレイン拡張領域13aを形成する。

【0046】次に、基板1上にCVD法で堆積した酸化シリコン膜をRIE法で異方性エッチングして、nチャネル型MISFETQnのゲート電極23nおよびpチャネル型MISFETQpのゲート電極23pのそれぞ

れの側壁にサイドウォールスペーサ14を形成する。

【0047】次いで、nチャネル型MISFETQnのゲート電極23nおよびサイドウォールスペーサ14をマスクとしてp型ウェル5にn型不純物、たとえばAsをイオン注入し、nチャネル型MISFETQnのソース、ドレイン拡張領域12bを形成する。同様に、pチャネル型MISFETQpのゲート電極23pおよびサイドウォールスペーサ14をマスクとしてn型ウェル6にp型不純物、たとえばBF₃をイオン注入し、pチャネル型MISFETQpのソース、ドレイン拡張領域13bを形成する。この後、基板1に、たとえば1000℃、5秒程度の熱処理を施して、基板1に注入したn型不純物およびp型不純物を活性化させる。

【0048】次に、図19に示すように、基板1上に層間絶縁膜16を形成した後、レジストパターンをマスクとして層間絶縁膜16をエッチングし、nチャネル型MISFETQnのソース、ドレイン拡張領域12bに達するコンタクトホール17n、およびpチャネル型MISFETQpのソース、ドレイン拡張領域13bに達するコンタクトホール17pを形成する。なお、図示はしないが、同時にnチャネル型MISFETQnのゲート電極23nおよびpチャネル型MISFETQpのゲート電極23pに達するコンタクトホールが形成される。

【0049】次いで、層間絶縁膜16の上層に金属膜、たとえばW膜を堆積し、たとえばCMP法でこの金属膜の表面を平坦化することによって、上記コンタクトホール17n、17pの内部に金属膜を埋め込みプラグ18を形成する。その後、層間絶縁膜16の上層に堆積した金属膜をエッチングして配線層19を形成することにより、CMOSデバイスが略完成する。

【0050】このように、本実施の形態2によれば、nチャネル型MISFETのゲート電極23nは、基板1上に堆積した多結晶シリコン膜20とチャネル領域に引っ張り応力を発生させる第2の金属膜22との積層膜で構成されるので、nチャネル型MISFETQnの駆動電流が増加する。また、pチャネル型MISFETQpのゲート電極23pは、基板1上に堆積した多結晶シリコン膜20とチャネル領域に圧縮応力を発生させる第1の金属膜21との積層膜で構成されるので、pチャネル型MISFETQpの駆動電流が増加する。

【0051】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0052】たとえば、前記実施の形態では、CMOSデバイスの製造方法に適用した場合について説明したが、nチャネル型MISFETまたはpチャネル型MISFETから成るデバイス全般の製造方法にも適用可能である。

【0053】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0054】本発明によれば、nチャネル型MISFETのゲート電極をチャネル領域に応力を生じ難いシリコン膜で構成することで駆動電流の劣化を防ぐことができ、さらにチャネル領域に引っ張り応力を発生させる金属膜またはシリコン膜と金属膜との積層膜で構成することで駆動電流を増加することができる。また、pチャネル型MISFETのゲート電極をチャネル領域に圧縮応力を発生させるシリコン膜、金属膜またはシリコン膜と金属膜との積層膜で構成することで駆動電流を増加することができる。従って、上記nチャネル型MISFETおよび上記pチャネル型MISFETで構成されるCMOSデバイスの駆動電流は増加し、CMOSデバイスを有する半導体装置の高速化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の他の実施の形態であるCMOSデバ

イスの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の他の実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の他の実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の他の実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の他の実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

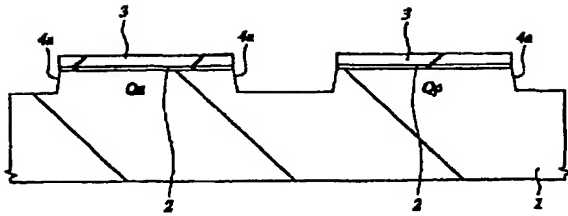
【図19】本発明の他の実施の形態であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 基板
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 a 素子分離溝
- 4 b 酸化シリコン膜
- 5 p型ウェル
- 6 n型ウェル
- 7 ゲート絶縁膜
- 8 アモルファスシリコン膜
- 8 a p型多結晶シリコン膜
- 9 レジスト膜
- 10 多結晶シリコン膜
- 10 a n型多結晶シリコン膜
- 11 n-ゲート電極
- 11 p ゲート電極
- 12 a ソース、ドレイン拡張領域
- 12 b ソース、ドレイン拡散領域
- 13 a ソース、ドレイン拡張領域
- 13 b ソース、ドレイン拡散領域
- 14 サイドウォールスペーサ
- 15 シリサイド層
- 16 層間絶縁膜
- 17 n コンタクトホール
- 17 p コンタクトホール
- 18 プラグ
- 19 配線層
- 20 多結晶シリコン膜
- 21 第1の金属膜
- 22 第2の金属膜
- 23 n ゲート電極
- 23 p ゲート電極
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET

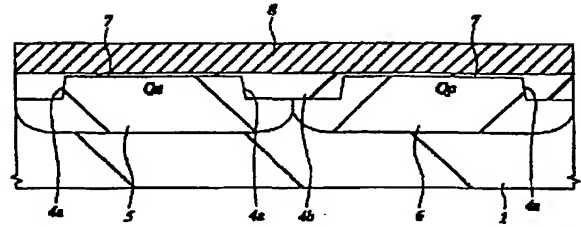
【図1】

図 1



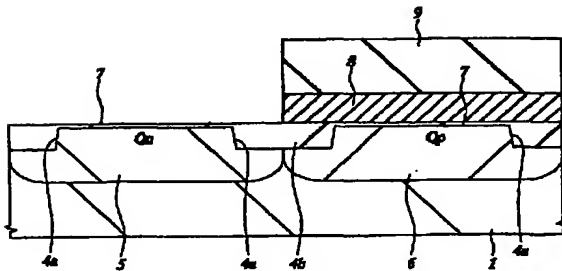
【図2】

図 2



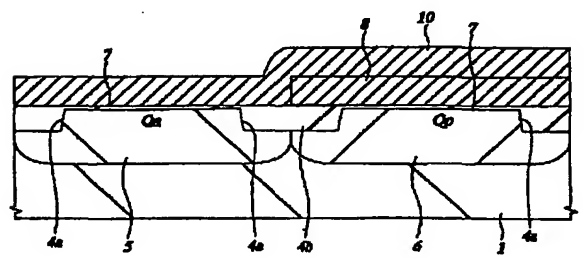
【図3】

図 3



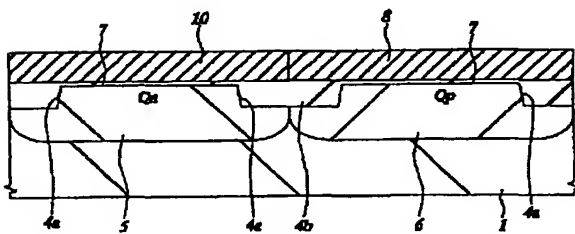
【図4】

図 4



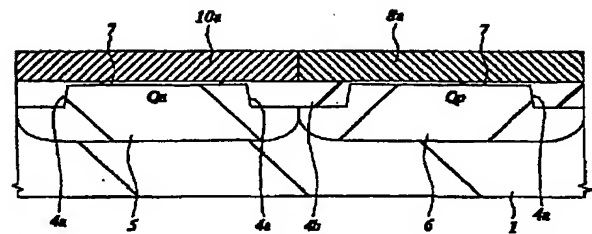
【図5】

図 5



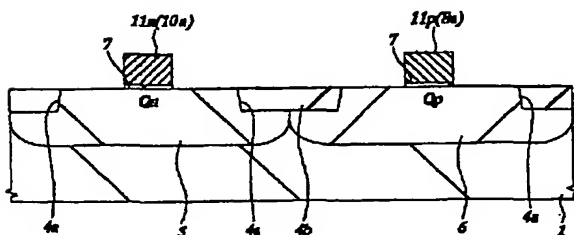
【図6】

図 6



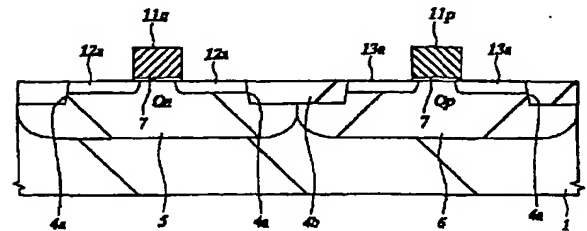
【図7】

図 7



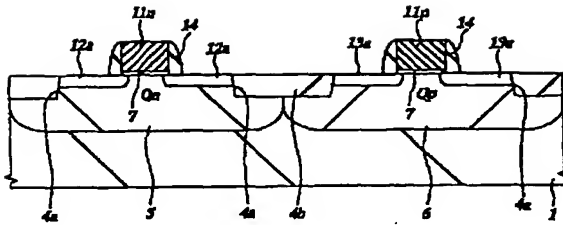
【図8】

図 8



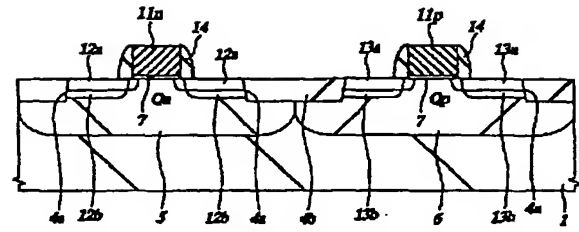
【図9】

図 9



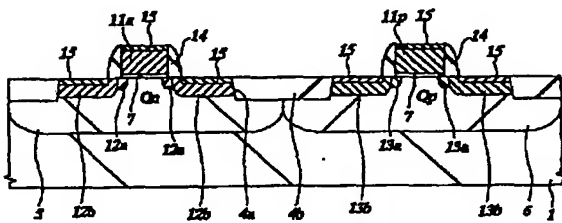
【図10】

図 10



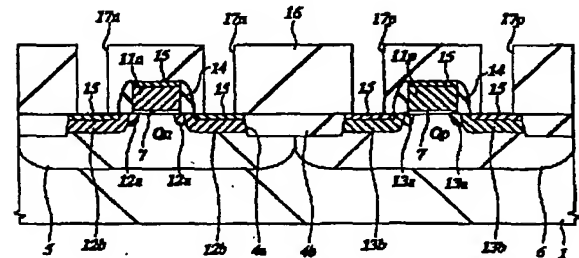
【図11】

図 11



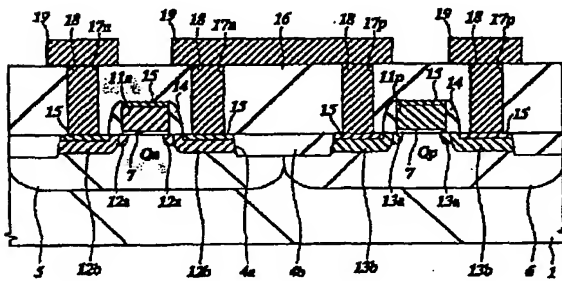
【図12】

図 12



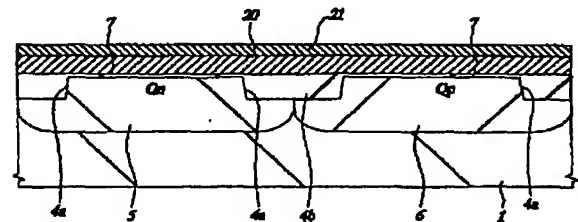
【図13】

図 13



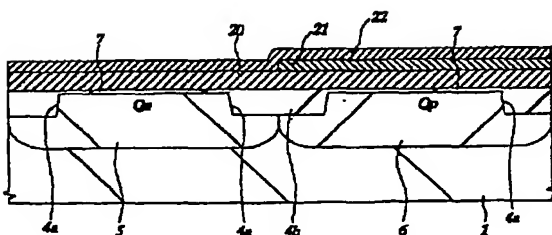
【図14】

図 14



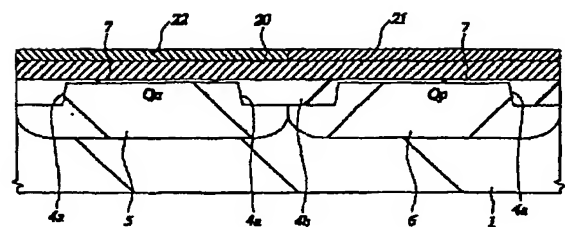
【図15】

図 15



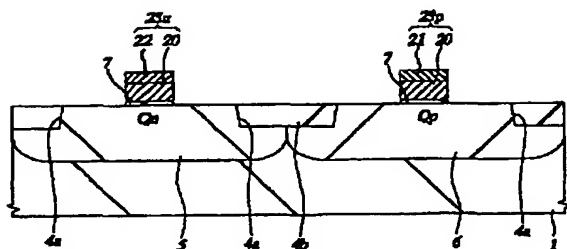
【図16】

図 16



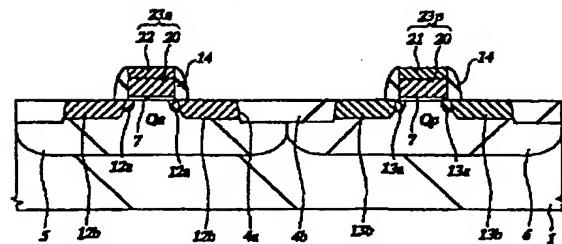
【図17】

図 17



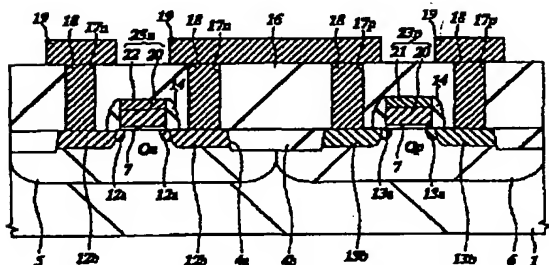
【図18】

図 18



【図19】

図 19



フロントページの続き

(51)Int.Cl.⁷

21/285

29/43

識別記号

F I

27/08

29/62

321

D

G

テマコード (参考)

Fターム(参考) 4M104 AA01 BB01 BB14 BB18 BB20
BB30 CC05 DD04 DD22 DD26
DD37 DD43 DD63 DD79 DD80
DD84 EE09 FF13 FF14 FF21
GG09 GG10 HH16
5F048 AA00 AA08 AC03 BA01 BB06
BB07 BB08 BB09 BB10 BB12
BC06 BE03 BF06 BF07 BG14
DA25